

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**



First Named Inventor	Luca De Santis	<u>COMMUNICATION RE: FILING OF PRIORITY DOCUMENT UNDER 35 USC 119</u>
Serial No.	10/722,110	
Filing Date	November 25, 2003	
Group Art Unit	2181	
Examiner Name	Unknown	
Confirmation No.	4849	
Attorney Docket No.	400.225US01	
Title: MEMORY DEVICE CONTROLLER		

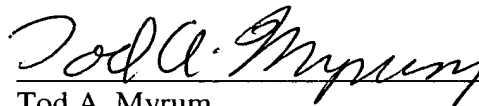
Mail Stop Missing Parts
Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

In accordance with the requirements for claiming right of priority under 35 U.S.C. 119, enclosed for filing in the above-identified application is a certified copy of Applicant's priority application RM 2003 A 000354 (Italy) as filed on 17 July 2003.

Please contact the undersigned attorney at direct dial (612) 312-2208 if you have any questions.

Respectfully submitted,

Date: 03-10-2004



Tod A. Myrum
Reg. No. 42,922

Attorneys for Applicant
Leffert Jay & Polglaze, P.A.
P.O. Box 581009
Minneapolis, MN 55458-1009
Telephone 612-312-2200
Facsimile 612-312-2250



Ministero delle Attività Produttive
Direzione Generale per lo Sviluppo Produttivo e la Competitività
Ufficio Italiano Brevetti e Marchi
Ufficio G2

Autenticazione di copia di documenti relativi alla domanda di brevetto per **Invenzione Industriale**

N. RM2003 A 000354



*Si dichiara che l'unita copia è conforme ai documenti originali
depositati con la domanda di brevetto sopraspecificata, i cui dati
risultano dall'accluso processo verbale di deposito.*

Con esclusione del Riassunto con disegno principale come specificato dal richiedente.

29 GEN. 2004

Roma, li

IL DIRIGENTE

Elena Marinelli

Sig.ra E. MARINELLI

DOMANDA DI BREVETTO PER INVENZIONE INDUSTRIALE, DEPOSITO RISERVE, ANTICIPATA ACCESSIBILITA' AL PUBBLICO

MODUL



2) Denominazione
Residenza

cognome e nome **de Benedetti Fabrizio ed altri** cod. fiscale _____
denominazione studio di appartenenza **SOCIETA' ITALIANA BREVETTI S.p.A.**
via **Piazza di Pietra** n. **39** città **ROMA** cap **00186** (prov) **RM**

via _____ n. _____ città _____ cap _____ (prov) _____
 classe proposta (sez/cl/scl) _____ gruppo/sottogruppo _____ / _____

Unità di controllo per dispositivo di memoria.

SE ISTANZA: DATA ____/____/____

N. PROTOCOLLO

coqnome nome

1) DE SANTIS Luca	3)
2) CONENNA Pasquale	4)

nazione o organizzazione	tipo di priorità	numero di domanda	data di deposito
_____	_____	_____	____/____/____ ____/____/____

allegato
S/R

SCIOGLIMENTO RISERVE

Data	N° Protocollo
------	---------------

G. CENTRO ABILITATO DI RACCOLTA COLTURE DI MICRORGANISMI, denominazione

(Società dello Stato del Delaware)

Lettera d'incarico segue

DOCUMENTAZIONE ALLEGATA

N. es.

Doc. 1)	1	PROV	<input type="checkbox"/>	n. pag.	66	riassunto con disegno principale, descrizione e rivendicazioni (obbligatorio 1 esemplare)
Doc. 2)	1	PROV	<input type="checkbox"/>	n. tav.	05	disegno (obbligatorio se citato in descrizione, 1 esemplare)
Doc. 3)	0	RIS	<input type="checkbox"/>			lettera d'incarico
Doc. 4)	0	RIS	<input type="checkbox"/>			designazione inventore
Doc. 5)	0	RIS	<input type="checkbox"/>			documenti di priorità con traduzione in italiano
Doc. 6)	0	RIS	<input type="checkbox"/>			autorizzazione o atto di cessione
Doc. 7)	0		<input type="checkbox"/>			nominativo completo del richiedente

8) attestati di versamento, totale Euro **quattrocentosettantadue/56**

obbligatorio

COMPILATO IL 17 / 07 / 2003

FIRMA DEL (I) RICHIEDENTE (I)

CONTINUA (SI/NO) NO

DEL PRESENTE ATTO SI RICHIEDE COPIA AUTENTICA (SI/NO) SI

CAMERA DI COMMERCIO INDUSTRIA ARTIGIANATO E AGRICOLTURA DI

ROMA

codice **58**

VERBALE DI DEPOSITO

NUMERO DI DOMANDA

L'anno duemilatre, il giorno diciassette del mese di luglio
 Il (i) richiedente (i) sopraindicato (i) ha (hanno) presentato a me sottoscritto la presente domanda, corredata di n. 00 fogli aggiuntivi per la concessione del brevetto
 sopraportato.

ANNOTAZIONI VARIE DELL'UFFICIALE ROGANTE

IL DEPOSITANTE



L'UFFICIALE ROGANTE

Officiale Rogante

~~W/1000~~

RM 2003 A 000354

SIB BI3398R

400-225IT01

Descrizione dell'invenzione industriale dal titolo:

"UNITA' DI CONTROLLO PER DISPOSITIVO DI MEMORIA"

a nome di Micron Technology, Inc. (Società dello
Stato del Delaware)

di Boise, Idaho (U.S.A.)

#####

DESCRIZIONE

CAMPO TECNICO DELL'INVENZIONE

La presente invenzione si riferisce genericamente a unità di controllo e in particolare la presente invenzione si riferisce a unità di controllo per dispositivi di memoria.

BASE TECNICA DELL'INVENZIONE

Un dispositivo di memoria di tipo flash è un tipo di memoria a sola lettura programmabile e cancellabile elettricamente (EEPROM) e viene impiegato per la memorizzazione non volatile di dati. Le memorie flash sono impiegate in modo crescente per immagazzinare codici di esecuzione e dati in prodotti elettronici portatili, quali sistemi a calcolatore.

I dispositivi di memoria flash sono programmati e cancellati da sequenze di operazioni



(oppure algoritmi). Un algoritmo di programmazione normalmente comporta l'applicare sequenzialmente un impulso di programmazione ed un impulso di verifica di programmazione ad un insieme di celle di memoria di un dispositivo di memoria flash. Ciò viene ripetuto fin quando l'insieme di celle di memoria è stato programmato. Un algoritmo di cancellazione tipicamente comprende un ciclo di pre-programmazione, un ciclo di cancellazione, ed un ciclo di programma soft. Il ciclo di pre-programmazione dell'algoritmo di cancellazione pone ciascuna cella in uno stato programmato applicando un impulso di programma a ciascuna riga delle celle di memoria. Il ciclo di programma soft o ciclo di heal (cicatrizzazione) corregge qualsiasi cella di memoria sovra-cancellata dopo che è stato completato il ciclo di cancellazione applicando un impulso di programmazione soft alle celle di memoria sovra-cancellate. Ciò è spesso definito come "compaction".

Viene impiegato un circuito di controllo (o controller di algoritmo) per gestire i vari passi di programma e algoritmi di cancellazione. Per un'applicazione, la unità di controllo di algoritmo esegue un codice immagazzinato nel controller e

interagisce con dispositivi hardware del dispositivo di memoria flash, quali contatori di indirizzo di celle di memoria, contatori di impulsi, contatori di durati di impulsi, o simili, che sono esterni al controller di algoritmo per fare in modo che i dispositivi di hardware effettuino varie funzioni. Inoltre, il controller di algoritmo fa in modo che attuatori cablati del dispositivo di memoria che sono esterni al controller di algoritmo inviino segnali di attuatore a generatori di tensione analogica del dispositivo di memoria per controllare i generatori di tensione durante le operazioni di programmazione, cancellazione o compaction. I segnali di attuatore configurano anche commutatori ed operazioni di verifica di programma di controllo. Un problema con i dispositivi in hardware e gli attuatori cablati consiste nel fatto che numerosi di questi sono di progettazione fissa per una particolare applicazione e non possono essere facilmente riconfigurati o aggiornati per altre applicazioni, limitando in tal modo la versabilità e la riutilizzabilità del progetto di dispositivo di memoria flash.

Per le ragioni sopra elencate, e per altre

ragioni che verranno esposte oltre che diverranno chiare a coloro che sono esperti nel ramo dalla lettura e comprensione della presente descrizione, vi è una necessità nella tecnica per controller di algoritmo alternativi per dispositivi di memoria, quali dispositivo di memoria flash.

SOMMARIO

I problemi sopra menzionati con controller di algoritmo ed altri problemi sono oggetto della presente invenzione e verranno compresi dalla lettura e studio della seguente descrizione.

Le varie forme di realizzazione si riferiscono a controller per dispositivi di memoria (o chip), quali dispositivi di memoria flash. I controller impiegano registri aggiornabili e software per effettuare operazioni, quali conteggio di impulso, indirizzo, e/o durata di impulso, effettuati per hardware per dispositivi di memoria convenzionali. Inoltre, i registri immagazzinano e trasmettono segnali di attuatore per controllare il funzionamento di un dispositivo di memoria.

Per una forma di realizzazione, l'invenzione fornisce un controller di dispositivo di memoria. Il controller di dispositivo di memoria possiede un banco di registri aggiornabili disposto per inviare



un primo segnale ad un nucleo analogico/memoria del dispositivo di memoria per controllare il funzionamento del nucleo analogico/memoria. Il nucleo analogico/memoria possiede una schiera di celle di memoria flash e circuiteria di accesso analogica di supporto. Un controller di bus è accoppiato al banco di registri. Il controller di bus è disposto per ricevere un secondo segnale dal banco di registri e per inviare un terzo segnale al banco di registri per aggiornare il banco di registri. Un registro di selezione è accoppiato al banco di registri. Un elaboratore viene accoppiato al controller di bus e al registro di selezione.

Un'altra forma di realizzazione fornisce un dispositivo di memoria avente un nucleo di memoria/analogico ed un controller di dispositivo di memoria. Il controller di dispositivo di memoria possiede un banco di registri aggiornabili disposti per inviare un primo segnale al nucleo analogico/memoria per controllare il funzionamento del nucleo analogico/memoria. Un controller di bus è accoppiato al banco di registri. Il controller di bus è disposto per ricevere un secondo segnale dal banco di registri e per inviare un terzo segnale al banco di registri per aggiornare il banco di

registri. Un registro di selezione viene accoppiato al banco di registri. Un primo elaboratore è accoppiato al controller di bus e al registro di selezione. Il dispositivo di memoria include anche una interfaccia di comando di utilizzatore che è accoppiata al controller di dispositivo di memoria e è accoppiabile ad un secondo elaboratore collocato all'esterno del dispositivo di memoria.

Un'altra forma di realizzazione fornisce un metodo per fare funzionare un controller di dispositivo di memoria. Il metodo include il ricevere primi dati su un controller di bus del controller di dispositivo di memoria da un primo registro di un banco di registri del controller di dispositivo di memoria ed inviare secondi dati dal controller di bus al primo o un secondo registro del banco di registri per aggiornare il banco di registri. L'invio di un segnale di controllo da un terzo registro al banco di registro al nucleo analogico/memoria del dispositivo di memoria per controllare il funzionamento del nucleo analogico/memoria è anche incluso nel metodo.

Ulteriori forme di realizzazioni dell'invenzione includono metodi e apparecchi di ambito variabile.

BREVE DESCRIZIONE DEI DISEGNI

La fig. 1 è uno schema a blocchi di un sistema di memoria secondo una forma di realizzazione della presente invenzione.

La fig. 2 è uno schema a blocchi di un controller per un dispositivo di memoria secondo un'altra forma di realizzazione della presente invenzione.

La fig. 3 illustra campi di registri per un registro del controller di fig. 2 secondo un'altra forma di realizzazione della presente invenzione.

La fig. 4 illustra istruzioni per il controller di fig. 2 secondo un'altra forma di realizzazione della presente invenzione.

La fig. 5 illustra una espressione di una o più delle istruzioni di fig. 4 secondo un'altra forma di realizzazione della presente invenzione.

La fig. 6 è uno schema a blocchi di un controller di bus secondo un'altra forma di realizzazione della presente invenzione.

La fig. 7 è uno schema a blocchi di un controller di sospensione secondo un'altra forma di realizzazione della presente invenzione.

DESCRIZIONE PARTICOLAREGGIATA

Nella seguente descrizione particolareggiata

dell'invenzione, si fa riferimento ai disegni allegati che ne formano parte, in cui sono mostrate, a titolo di illustrazioni, specifiche forme di realizzazione secondo la quale l'invenzione può essere realizzata in pratica. Nei disegni, numeri simili descrivono componenti sostanzialmente simili in tutte le varie viste. Queste forme di realizzazione sono descritte con dettagli sufficienti a consentire a coloro che sono esperti nel ramo a realizzare in pratica l'invenzione. Altre forme di realizzazione possono essere utilizzate e si possono apportare variazioni strutturali, logiche ed elettriche senza allontanarsi dall'ambito della presente invenzione. La seguente descrizione particolareggiata quindi deve essere non considerata in senso limitativo, e l'ambito della presente invenzione è definito soltanto dalle rivendicazioni allegate e dai loro equivalenti.

La fig. 1 è uno schema a blocchi di un sistema 100 di memoria, quale un sistema di memoria flash, secondo una forma di realizzazione della presente invenzione. Il sistema di memoria 100 include un dispositivo di memoria (o chip) 102, quale un dispositivo di memoria non volatile o flash,

accoppiato ad un elaboratore 104 di comando per controllare le operazioni di base del dispositivo 102 di memoria. Il dispositivo 102 di memoria include una interfaccia di comando di utilizzatore (CUI) 106 accoppiata al controller di dispositivo di memoria (o controller di algoritmo o controller micro-programmabile (MPC)) 110 con le linee di controllo 112, 114 e 127. Il controller 110 microprogrammabile è accoppiato ad un nucleo 116 analogico/memoria mediante linee di controllo 118 e 120. Per una forma di realizzazione, il nucleo 116 analogico/memoria ha una schiera di celle di memoria flash (non mostrate) e che supporta una circuiteria di accesso analogica (non mostrata). Per un'altra forma di realizzazione, le celle di memoria sono transistori ad effetto di campo a gate flottante, e la circuiteria di accesso di supporto include generatori di tensione per generare tensioni, ad esempio, per programmare o cancellare celle di memoria, vari insiemi di fusibili, ecc. Il sistema di memoria è stato semplificato per mettere a fuoco caratteristiche della memoria che sono utili nella comprensione dell'invenzione.

La interfaccia di comando di utilizzatore 106 decodifica segnali (o comandi di utilizzatore)



forniti da una o più linee 108 di controllo da un elaboratore 104 di comando. La interfaccia di comando di utilizzatore 106 genera segnali di controllo sulla base dei comandi di utilizzatore ed invia questi segnali di controllo ad un controller 110 microprogrammabile attraverso la linea di controllo 112. Per una forma di realizzazione, questi segnali di controllo includono un segnale di marcia (o comando) 113 che può includere un comando di algoritmo (o segnale) che fa in modo che il controller microprogrammabile 110 esegua vari algoritmi, ad esempio, per eseguire programmi, verifica di programmazione, cancellazione o compaction (recupero di celle sovracancellate) sulle celle di memoria. Per un'altra forma di realizzazione, quando l'algoritmo è completato, il controller microprogrammabile 110 invia un segnale DONE alla interfaccia 106 di comando di utilizzatore che informa l'interfaccia 106 di comando di utilizzatore, ad esempio, che un algoritmo che marcia sul controller 110 microprogrammabile ha ultimato e che può essere inviato un altro segnale 113 di marcia. Per alcune forme di realizzazione, il segnale DONE indica se una particolare operazione effettuata dal

controller 110 microprogrammabile, quale una operazione di programmazione, cancellazione o compaction ha avuto successo o no.

Per alcune forme di realizzazione, i comandi di utilizzatore istruiscono l'interfaccia 106 di comando di utilizzatore di inviare un comando di sospensione (o segnale) 121 al controller microprogrammabile 110 attraverso la linea 127 di controllo per sospendere l'esecuzione di un algoritmo in marcia corrente. Per una forma di realizzazione, l'esecuzione viene sospesa per cambiare i livelli di tensione che vengono applicati ad una cella di memoria del nucleo 116 analogico/memoria, quale una variazione da una tensione di lettura ad una tensione di programmazione o viceversa. Possono anche essere inviati segnali dalla interfaccia 106 di comando di utilizzatore all'elaboratore 104 di comando sulla linea 122 per sorvegliare il funzionamento del dispositivo 102 di memoria. Per una forma di realizzazione, questi segnali includono informazioni circa lo stato del dispositivo 102 di memoria, ad esempio se il dispositivo 102 di memoria è disponibile per la lettura, è occupato, ad esempio sta facendo marciare un algoritmo, un

algoritmo è sospeso, ecc.

Per una forma di realizzazione, gli algoritmi del controller 110 microprogrammabile controllano la temporizzazione di segnali di attuatore (o di controllo) inviati al nucleo analogico/memoria 116 del dispositivo 102 di memoria flash attraverso la linea 118 di controllo. Per alcune forme di realizzazione, i segnali di attuatore includono indirizzi di celle di memoria del nucleo 116 analogico/memoria. Per altre forme di realizzazione, il controller 110 microprogrammabile genera gli indirizzi. Per una forma di realizzazione, i segnali di controllo dicono al nucleo 116 analogico/memoria quale operazione (o modo) quale programmazione, cancellazione, compaction o verifica di programma, ecc., verrà eseguito. Ciò fa in modo che il nucleo analogico/memoria 116 commuti i vari circuiti verso il modo corrispondente. Per una forma di realizzazione, i segnali di controllo fanno in modo che uno o più circuiti di tensione inviino tensioni, ad esempio, tensioni di programmazione, tensioni di programmazione soft, tensioni di verifica di programmazione, ecc., per il corrispondente modo delle celle di memoria. Ad

esempio, segnali di controllo possono istruire circuiteria analogica del nucleo analogico/memoria 116 per applicare una tensione di programmazione, una tensione di programmazione soft, una tensione di verifica di programmazione, ecc., alle celle di memoria. Per un'altra forma di realizzazione, i segnali di controllo sono trasmessi sulla linea 114 di controllo e includono il segnale DONE.

Per un'altra forma di realizzazione, segnali di retroazione sono inviati dal nucleo 116 analogico/memoria su una linea 120 di retroazione, ad esempio, per informare il controller microprogrammabile 110 se le celle di memoria sono programmate, cancellate, richiedono riprogrammazione, ecc. Per alcune forme di realizzazione, i segnali di retroazione sono inviati in risposta a richieste inviate dal controller 110 microprogrammabile al nucleo 116 analogico/memoria, ad esempio, attraverso linee di controllo 118.

La fig. 2 è uno schema a blocchi del controller microprogrammabile 110 secondo un'altra forma di realizzazione della presente invenzione. Il controller microprogrammabile 110 include un banco di registro (RB) 130 avente pagine 132, fino



a 132_N. Ciascuna delle pagine 132 include registri 134₁ fino a 134_M. Per una forma di realizzazione, $M = 8$, e per un'altra forma di realizzazione, ciascuno dei registri 134 è un registro a 16 bit. Ciascun registro 134 immagazzina stati di elaborazione interni, segnali di ingresso ricevuti su un banco 130 di registri, ecc. Per alcune forme di realizzazione, i segnali di ingresso provengono da vari insiemi di fusibili (non mostrati) del nucleo 116 analogico/memoria e possono includere informazione circa il numero di impulsi di programmazione, il livello di tensione degli impulsi di programmazione, la durata dei cicli di cancellazione o programmazione, ecc. Per altre forme di realizzazione, i segnali di ingresso includono i segnali di retroazione discussi precedentemente in unione alla fig. 1. Per una forma di realizzazione, i segnali di ingresso sono ricevuti su un bus 135 che per un'altra forma di realizzazione include quattro bus a 16 bit.

Si può accedere a ciascun registro 134 in un modo a lettura o scrittura. Per una forma di realizzazione, il contenuto di uno qualsiasi dei registri 134 può essere posto in uscita su bus di uscita 136₁ e 136₂. Per un'altra forma di

realizzazione, dati, ad esempio dati a 16 bit possono essere immagazzinati in un registro 134 indirizzando la pag. 132 contenente il registro 134 utilizzando tre bit ed indirizzando il registro 134 impiegando due bit, cioè, utilizzando un totale di cinque bit. Per alcune forme di realizzazione, uno o più dei registri 134 sono impiegati per immagazzinare valori dei segnali di attuatore. Il banco 130 di registri trasmette i segnali di attuatori al nucleo analogico/memoria 116. Per una forma di realizzazione, i segnali di attuatore sono posti in uscita su un bus 138 che per un'altra forma di realizzazione include quattro bus a 16 bit.

Per varie forme di realizzazione, i registri 134 includono registri convenzionali, in cui dati sono immagazzinati impostando i registri, e registri cablati per ricevere i segnali di ingresso. I registri 134 includono anche registri di formazione di impulsi in cui i dati possono essere aggiornati durante ciascun ciclo di operazione del controller microprogrammabile 110.

I bus di uscita 136₁ e 136₂ accoppiano il banco 130 di registri ad un controller di bus (BC) 142. Il controller di bus 142 elabora dati immagazzinati

nei registri 134 e fornisce dati, ad esempio indirizzi, istruzioni, ecc. che devono essere caricati nei registri 134. Un registro di trasferimento (TR) 146 è accoppiato per l'ingresso al controller 142 di bus. Il registro 146 di trasferimento è accoppiato per l'uscita al banco 130 di registri da un bus 154 di ingresso che per una forma di realizzazione include tre bus a 16 bit. Il registro 136 di trasferimento sincronizza dati da immagazzinare in registri 134. Cioè, il registro 146 di trasferimento invia i dati ai registri 134 ad un tempo particolare durante un ciclo di funzionamento del controller 110 microprogrammabile.

Il banco 130 di registri è accoppiato ad un registro di selezione (SELR) 160. Per una forma di realizzazione, il registro 160 di selezione seleziona uno dei registri 134 di una delle pagine 134 del banco 130 di registri per operazioni a registri, quali operazioni di lettura o scrittura di dati. Il registro 160 di selezione ed il controller 142 di bus sono accoppiati ad un elaboratore 162. Specificamente, il registro 160 di selezione ed il controller 152 di bus sono accoppiati ad un decodificatore di istruzioni

(IDEC) 166 dell'elaboratore 162. Il decodificatore 166 di istruzione è accoppiato ad un registro di istruzione (IR) 172 dell'elaboratore 162. Il registro di istruzioni 172 è accoppiato ad un dispositivo 178 di immagazzinamento di codice, quale ad esempio una memoria a sola lettura (ROM), dell'elaboratore 162.

Per una forma di realizzazione, il dispositivo 178 di immagazzinamento di codice include una schiera, ad esempio 256 righe per 32 colonne, di celle di memoria programmabili a maschera, quali celle cancellabili o altre celle di memoria non volatili. Il dispositivo 178 di immagazzinamento di codice contiene tutti gli algoritmi del controller microprogrammabile 110. Questi algoritmi fanno in modo che il controller microprogrammabile 110 effettui operazioni di programmazione, cancellazione, verifica di programmazione, e di "compaction" sul nucleo analogico/di memoria 116 così come altre operazioni.

Il registro 172 di istruzioni riceve una istruzione dal dispositivo di immagazzinamento di codice 178 e immagazzina l'istruzione, ad esempio per un ciclo di clock (o di operazione) del controller microprogrammabile 110. Il



decodificatore 116 di istruzione riceve la istruzione dal registro 172 di istruzione e decodifica la istruzione. In risposta ad alcune istruzioni, il decodificatore 166 di istruzioni invia un segnale di controllo al registro 160 di selezione per fare in modo che il registro 160 di selezione selezioni uno dei registri 134 di una delle pagine 132. Ad esempio, un registro può essere selezionato per ricevere segnali di ingresso dal nucleo analogico/memoria 116 o per porre in uscita segnali di attuatore verso il nucleo analogico/memoria 116 o interfaccia di comando di utilizzatore 106. Può essere selezionato un registro 134 per inviare dati ad un controller 142 di bus o per ricevere dati dal controller 142 di bus. I segnali di ingresso ed i dati dal controller 142 di bus aggiornano o variano i contenuti dei registri 134. Per una forma di realizzazione, ciò aggiorna i segnali di attuatore.

Per alcune forme di realizzazione, il decodificatore 166 di istruzione invia un segnale di controllo al controller 142 di bus per fare in modo che il controller 142 di bus effettua varie operazioni di elaborazione di dati.

Per una forma di realizzazione, il segnale di

controllo ricevuto sul controller 142 di bus dal decodificatore 166 di istruzioni include dati. Per altre forme di realizzazione, il controller 142 di bus invia dati direttamente ad un registro 134, elabora i dati ed invia i dati elaborati ad un registro 134, combina i dati con i dati ricevuti da un primo dei registri 134 ed invia i dati combinati al primo o al secondo dei registri 134, ecc.

Il decodificatore 166 di istruzione è accoppiato ad un over-rider di contatore di programma (PCO) 188 del processore 162. Lo over-rider di contatore di programma 188 è accoppiato ad un contatore di programma (PC) 194 del processore 162. Il contatore di programma 194 è accoppiato ad un dispositivo 178 di immagazzinamento di codice. Per una prima forma di realizzazione, lo over-rider di contatore di programma 188 carica il contatore di programma 194 con indirizzi del dispositivo 178 di immagazzinamento di codice in risposta ad istruzioni ricevute dal decodificatore 166 di istruzioni. Per un'altra forma di realizzazione, il contatore di programma 194 invia l'indirizzo al dispositivo 178 di immagazzinamento di codice ed incrementa l'indirizzo di uno.

Un verificatore di espressione (EC) 204 è

accoppiato al processore 162, e più specificamente, al decodificatore 166 di istruzione. Il verificatore di espressione (EC) 204 è anche accoppiato al controller di bus 142 mediante un bus 205 per ricevere dati dal controller di bus 142. Per una forma di realizzazione il bus 205 include due bus a 16 bit. Per un'altra forma di realizzazione, il verificatore 204 di espressione determina se i dati sono tutti zeri o tutti uni, a seconda del tipo di verifica che viene effettuata. Il verificatore 204 di espressione invia un segnale 206 di coincidenza al decodificatore 166 di istruzione indicando una coincidenza quando i dati sono tutti zeri o tutti uno, a seconda del tipo di verifica. Altrimenti, il segnale 206 di coincidenza indica che non si è verificata una coincidenza.

Il decodificatore 166 di istruzione è accoppiato ad una interfaccia di controller asincrona (ACI) 214. La interfaccia di controller asincrona 214 è accoppiata alla interfaccia di comando di utilizzatore 106. La interfaccia 214 di controller asincrono riceve comandi dalla interfaccia 106 di utilizzatore di comando, quale un comando di marcia 113, ad esempio includente un segnale di algoritmo (o comando). La interfaccia di



controller asincrona 214 può anche ricevere un segnale di sospensione (o comando) 121 dall'elaboratore 104 di comando attraverso la interfaccia 106 di comando di utilizzatore che richiede l'interruzione dell'operazione corrente durante l'esecuzione di algoritmo da parte del controller 110 microprogrammabile. L'interfaccia 214 di controller asincrona può ricevere una istruzione di arresto dal decodificatore 166 di istruzione quando è completato un algoritmo. In risposta al ricevere la istruzione di arresto, la interfaccia 214 di controller asincrono invia il segnale DONE alla interfaccia 106 di comando di utilizzatore. La interfaccia 214 di controller asincrona trasmette anche il comando 121 di sospensione al decodificatore 166 di istruzione.

Lo over-rider di contatore di programma 188 è accoppiato al moltiplicatore di indirizzo di partenza (SAM) 230 dell'elaboratore 162. Il moltiplicatore 230 di indirizzo di partenza è accoppiato ad una tabella di indirizzo di partenza (SAT) 236 del processore 162 che contiene gli indirizzi iniziali di tutti gli algoritmi immagazzinati nel dispositivo 178 di immagazzinamento di codice. Il moltiplicatore 230 di indirizzo di partenza riceve un

comando di algoritmo dalla interfaccia 106 di utilizzatore di comando. Il comando di algoritmo fa in modo che il moltiplicatore 230 di indirizzo di partenza selezioni un indirizzo di partenza per quale comando di algoritmo dalla tabella di indirizzo di partenza (SAT) 236.

Il moltiplicatore 230 di indirizzo di partenza invia l'indirizzo di partenza allo over-rider di contatore di programma 188 che carica l'indirizzo di partenza entro il contatore 194 di programma. Per una forma di realizzazione, il contatore 194 di programma invia l'indirizzo di partenza al dispositivo 178 di immagazzinamento di codice e incrementa di uno l'indirizzo di partenza. Per varie forme di realizzazione, il contatore 194 di programma incrementa l'indirizzo corrente di uno in assenza dello over-rider 188 di contatore di programma che riceve un segnale dal decodificatore 166 di istruzione o un indirizzo di partenza dal moltiplicatore 230 di indirizzo di partenza.

Il controller 110 microprogrammabile include un generatore di clock 156 che per una forma di realizzazione possiede un oscillatore interno e per un'altra forma di realizzazione possiede quattro fasi che costituiscono un ciclo operativo. Per una

forma di realizzazione, il contatore 194 di programma riceve segnali di clock di fase-1 dal generatore di clock 156 per abilitare il contatore 194 di programma. Durante la fase 1, il contatore 194 di programma viene aggiornato ed invia un indirizzo di dispositivo 178 di immagazzinamento di codice al dispositivo 178 di immagazzinamento di codice. Per un'altra forma di realizzazione, il dispositivo 178 di immagazzinamento di codice ed il banco 130 di registro riceve segnali di clock di fase-2 dal generatore di clock 156.

Durante la fase 2, il dispositivo 178 di immagazzinamento di programma viene abilitato, ed una istruzione 244 immagazzinata all'indirizzo del dispositivo 178 di immagazzinamento di codice viene inviata al registro 172 di istruzione dal dispositivo 178 di immagazzinamento di codice. Per una forma di realizzazione, i segnali di ingresso dal nucleo analogico/memoria 116 sono campionati e immagazzinati in uno o più dei registri 134 durante la fase 2. Il campionamento e l'immagazzinamento dei segnali di ingresso durante una fase particolare agisce per sincronizzare il controller microprogrammabile 110 con il resto del chip.

Il decodificatore 166 di istruzione, il

registro 160 di selezione, il registro 146 di trasferimento, ed il contatore 194 di programma ricevono un segnale di clock di fase-3 dal generatore di clock 156. Durante la fase 3, il decodificatore 166 di istruzione interpreta la istruzione 244. Cioè, il decodificatore 166 di istruzione fa in modo che il controller microprogrammabile 110 effettui operazioni sulla base della istruzione 244. Per una forma di realizzazione, il decodificatore 166 di istruzione genera un segnale a seconda del contenuto della istruzione 244. Per esempio, la istruzione 244 può fare in modo che venga inviato un segnale al registro 160 di selezione che fa in modo che dati vengano letti da un registro 132 di un banco 130 di registri specificati nella istruzione 144 per l'uscita. Per esempio, i dati possono essere inviati al controller di bus 142 o al nucleo di memoria analogica 116. Alternativamente, l'istruzione 244 può fare in modo che venga inviato un segnale al registro 160 di selezione che fa in modo che dati vengano caricati entro un registro 132, ad esempio, dal controller 142 di bus. L'istruzione 244 può fare in modo che un segnale di dati venga inviato dal decodificatore 166 di

istruzione al controller 142 di bus. Per una forma di realizzazione, il controller di bus può elaborare il segnale di dati ed inviarlo ad uno dei registri 134 per l'immagazzinamento. Per un'altra forma di realizzazione, i dati possono essere combinati con i dati da uno dei registri 134 e immagazzinati nello stesso o un altro dei registri 134. L'istruzione 244 può fare in modo che il decodificatore 166 di istruzione invii un comando di arresto alla interfaccia 214 di controller asincrona quando viene completato un algoritmo.

L'istruzione 244 può includere istruzioni alternative. Una prima delle istruzioni alternative può fare in modo che il decodificatore 166 di istruzione invii un segnale di controllo allo over-rider di contatore di programma 188 che fa in modo che lo over-rider di contatore di programma 188 faccia in modo che il contatore 194 di programma incrementi l'indirizzo attuale del dispositivo 178 di immagazzinamento di codice di uno. Una seconda delle istruzioni alternative fa in modo che il decodificatore 166 di istruzioni invii un segnale di controllo allo over-rider di contatore di programma 188 che fa in modo che lo over-rider 188 di contatore di programma faccia in modo che venga



presa azione sul contatore di programma 194, ad esempio, per saltare su un numero di indirizzi del dispositivo 178 di immagazzinamento di codice (o righe dell'algoritmo) ad un indirizzo di salto specificato nella istruzione.

Per una forma di realizzazione, la prima o seconda alternativa viene selezionata secondo il segnale 206 di coincidenza ricevuto dal verificatore 204 di espressione sul decodificatore 166 di istruzione. Quando un segnale 206 di coincidenza indica che si è verificata una coincidenza, viene selezionata la seconda alternativa. Quando non si verifica una coincidenza, viene selezionata la prima alternativa.

Il banco di registri 130 riceve segnali di clock di fase-4. Durante la fase 4, un registro 134 indirizzato dal registro 134 di selezione viene aggiornato. Per una forma di realizzazione, ciò comporta inviare dati che sono elaborati dal controller 142 di bus e trattenuti nel registro 146 di trasferimento verso il registro indirizzato 134.

La fig. 3 illustra i campi di registro per un registro 134 di un banco 130 di registri secondo un'altra forma di realizzazione della presente

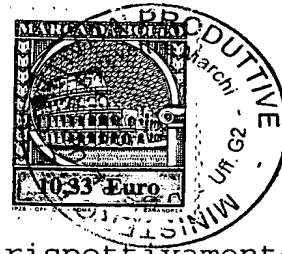
invenzione. Per una forma di realizzazione, il registro 134 ha 16 bit. Si può accedere ai dati immagazzinati nel registro 134 con 16 bit (una parola), 8 bit (un byte), oppure 4 bit (un nibble). Per un'altra forma di realizzazione, una parole 16 bit può essere decomposta in un byte alto ad otto bit (o H), cioè, un byte più significativo, e un byte basso ad otto bit (o L), ad esempio, un byte meno significativo. Per una prima forma di realizzazione, il byte H include i bit 8-15 della parola, ed il byte L i bit 0-7. Ciascun byte può essere decomposto in nibble superiore a quattro bit (o U) ad esempio un nibble più significativo, e un nibble basso a quattro bit (o D), ad esempio, un nibble meno significativo. Ciò significa che la parola a 16 bit può essere decomposta in un nibble alto-su (o HU), un nibble alto-giù (oppure HD), un nibble basso-su (oppure LU), ed un nibble basso-giù (o LD), come mostrato in fig. 3. Per un'altra forma di realizzazione, il nibble HU include i bit 12-15, il nibble HD i bit 8-11, il nibble LU i bit 4-7, ed il nibble LD i bit 0-3.

La fig. 4 mostra le istruzioni 244_1 fino a 244_{13} secondo un'altra forma di realizzazione della presente invenzione. Ciascuno degli algoritmi

immagazzinati nel dispositivo 178 di immagazzinamento di codice include una o più delle istruzioni 244, ad esempio disposte in varie sequenze e/o che appaiono una o più volte. La presente invenzione non è limitata a 13 istruzioni, ed in varie forme di realizzazione, possono essere presenti più o meno di 13 istruzioni. Per una forma di realizzazione, ciascuna delle istruzioni 244 include 32 bit, ad esempio numerate da 0 a 31. Per un'altra forma di realizzazione, il bit 30 non è utilizzato ed il bit 31 è un flag di sospensione. Per altre forme di realizzazione, quando il bit 31 è posizionato ad uno (1), la istruzione corrispondente può essere sospesa, cioè il flag di sospensione è attivato. Per una forma di realizzazione, i flag sono prestabiliti e sono fissi.

Ciascuna istruzione 244 è distinta da un codice 402 di bit (o operativo), che è fisso per una forma di realizzazione. Il decodificatore 166 di istruzione impiega i codici operativi 402 per identificare la istruzione corrispondente. I codici operativi 402 usano da 3 a 9 bit per una forma di realizzazione.

Le istruzioni 244₁ e 244₂ sono istruzioni di



salto condizionato (JMP e JMPN, rispettivamente) ciascuna avente una espressione 406 ed un salto di indirizzo (jmp addr) 408. Per una forma di realizzazione, l'espressione 406 include 19 bit, e l'indirizzo di salto 408 è a otto (8) bit. Le istruzioni 244₁ e 244₂ fanno in modo che il flusso di esecuzione venga cambiato secondo l'espressione 406. Ad esempio, quando l'espressione 406 della istruzione 244₁ è vera o l'espressione 406 della istruzione 244₂ è falsa, il flusso di esecuzione salta di una riga (o fila) nell'algoritmo avente un indirizzo che coincide con l'indirizzo 408 di salto specificato. Quando l'espressione 406 della istruzione 244₁ è falsa o l'espressione 406 della istruzione 244₂ è vera, il flusso di esecuzione continua sulla riga successiva (o fila) nell'algoritmo.

Specificamente, quando l'espressione 406 è falsa, il decodificatore 166 di istruzione fa in modo che lo over-rider di contatore di programma 188 faccia in modo che il contatore 194 di programma incrementi il presente dell'indirizzo del dispositivo 178 di immagazzinamento di codice di uno. Quando l'espressione 406 è vera, il decodificatore 166 di istruzione fa in modo che lo

over-rider 188 di contatore di programma faccia in modo che il contatore 194 di programma venga sottoposto a over-rider per un salto su un certo numero di indirizzi del dispositivo 178 di immagazzinamento di codice su una linea dell'algoritmo corrispondente all'indirizzo di salto specificato 408. Cioè, l'over-rider 188 del contatore di programma carica l'indirizzo di salto 408 nel contatore di programma 194. L'indirizzo 408 di salto è inviato al dispositivo 178 di immagazzinamento di codice, dove il dispositivo 178 di immagazzinamento di codice risponde saltando alla riga dell'algoritmo corrispondente all'indirizzo di salto specificato 408.

La fig. 5 illustra una espressione 406 secondo una forma di realizzazione della presente invenzione. Per una forma di realizzazione, l'espressione 406 può essere CHK0 oppure CHK1. Per un'altra forma di realizzazione, l'espressione 406 include un codice di bit 409 a tre bit, una maschera 410 ad otto bit, un indirizzo di registro a cinque bit (reg) 412 per indirizzare un registro di 134 del banco di registri 130 (ad esempio 3 bit per la pagina 132 contenente il registro 134 e due per il registro 134) ed un bit 414 per specificare

il byte H/L del registro 134 corrispondente all'indirizzo 412 di registro.

Per una forma di realizzazione, CHK0 è vero quando il bit del byte indirizzato corrispondenti alla maschera 410 sono tutti zero. Altrimenti, CHK0 è falso. Per questa forma di realizzazione, il verificatore 204 di espressione indica una coincidenza quando i dati ricevuti dal controller di bus 142 sono tutti zero.

Per un'altra forma di realizzazione, CHK1 è vero quando i bit del byte indirizzato corrispondente alla maschera 410 sono tutti uni. Altrimenti, CHK1 è falso. Per questa forma di realizzazione, il verificatore 204 di espressione indica una coincidenza quando i dati ricevuti dal controller 142 di bus sono tutti uno.

La istruzione 244₃ è una istruzione SET aventi, per una forma di realizzazione, l'indirizzo 412 di registro ed un valore a 16 bit pari a 414. L'istruzione 244₃ fa in modo che il valore 414 venga immagazzinato in registro 134 corrispondente all'indirizzo 412 di registro. Per una forma di realizzazione, il valore 414 è un conteggio iniziale impiegato per le operazioni di conteggio.

L'istruzione 244₄ è una istruzione binaria

impostata (SETB) avente, per una forma di realizzazione, l'indirizzo 412 di registro, valore 414 e il flag 1/0 416. Quando il flag 416 è 0 (zero) soltanto zeri di valore 414 sono immagazzinati in un registro 134 corrispondente all'indirizzo 412 di registro. Quando il flag 416 è 1 (uno), soltanto gli uni del valore 414 sono immagazzinati nel registro 134 corrispondente all'indirizzo 412 di registro. Gli altri bit del registro 134 sono lasciati come si trovano.

E' una istruzione posizionata mascherata da otto (SETM8) avente, per una forma di realizzazione, indirizzo 412 di registro, un valore 418 a otto bit, maschera 410, e bit 414. La istruzione 244₅ fa in modo che alcuni dei bit del byte indirizzato da mascherare ed altri da non mascherare e fa in modo che ciascun bit non mascherato non venga posizionato al valore di quello rispettivo dei bit del valore 418.

La istruzione 244₆ è una istruzione di trasferimento (SETX) avente, per una forma di realizzazione, un indirizzo di registro sorgente a cinque bit (source reg) 422 ed un indirizzo di registro bersaglio a cinque bit (target reg) 424. L'istruzione 244₆ fa in modo che quattro, otto



oppure 16 bit di un registro 134 avente indirizzo 422 di registro sorgente (ad esempio un registro sorgente 134) venga caricato in un registro 134 avente indirizzo di registro bersaglio 424 (ad esempio un registro bersaglio 134). Per alcune forme di realizzazione, la istruzione 244₆ include anche campi per byte di specifica e nibble del registro sorgente 134 e del registro bersaglio 134. HL1 e UD1 nella fig. 4 corrispondono rispettivamente ad un byte e un nibble del registro sorgente 134, e HL2 e UD2 corrispondono rispettivamente ad un byte e un nibble del registro bersaglio 134. Il campo X4 fa in modo che il nibble UD1 (oppure quattro bit) del registro sorgente 134 vengano caricati nel nibble UD2 del registro bersaglio 134. Il campo X8 fa in modo che il byte HL1 (oppure 8 bit) del registro sorgente 134 venga caricato nel byte HL2 del registro bersaglio 134.

L'istruzione 244₇ è una istruzione di ritorno (RET) avente, per una forma di realizzazione indirizzo di registro 412 e bit 414. L'istruzione 244₇ fa in modo che il dispositivo 178 di immagazzinamento di codice salti ad una riga entro l'algoritmo il cui indirizzo è contenuto nell'indirizzo di registro 412.

L'istruzione 244₈ è una istruzione CALL avente, per una forma di realizzazione l'indirizzo di registro 412, bit 414, indirizzo di salto 408, ed indirizzo di ritorno ad otto bit 426. L'istruzione 244₈ fa in modo che l'indirizzo 426 di ritorno venga immagazzinato nel byte indirizzato (ad esempio il byte H/L) di un registro 134 avente indirizzo 412 di registro e provochi il flusso di esecuzione a saltare in una collocazione del registro 178 di immagazzinamento di codice corrispondente all'indirizzo di salto 408.

L'istruzione 244₉ è una istruzione di salto assoluto (AJMP) avente per una forma di realizzazione indirizzo di salto 408. L'istruzione 244₉ fa in modo che il flusso di esecuzione salti ad una collocazione del dispositivo 178 di immagazzinamento di codice corrispondente all'indirizzo di salto 408. Specificamente, l'over-rider di contatore di programma 188 carica l'indirizzo di salto 408 nel contatore di programma 194. L'indirizzo 408 di salto è inviato al dispositivo 178 di immagazzinamento di codice, dove il dispositivo 178 di immagazzinamento di codice risponde saltando alla riga dell'algoritmo corrispondente all'indirizzo di salto 408

specificato.

Le istruzioni 244_{10} e 244_{11} sono istruzioni di salti con decremento (DJMP e DJMPN, rispettivamente) aventi, per una forma di realizzazione indirizzo di registro 412 ed indirizzo di salto 408. Le istruzioni 244_{10} e 244_{11} fanno in modo che il valore della parola, byte o nibble del registro 134 avente indirizzo di registro 412 venga decrementato, ad esempio di uno.

L'istruzione 244_{10} fa in modo che il flusso di esecuzione salti in una collocazione del dispositivo 178 di immagazzinamento di codice corrispondente all'indirizzo di salto 408 se il risultato del decremento è zero. Altrimenti, l'esecuzione continua nella locazione successiva dell'algoritmo. L'istruzione 244_{11} provoca il flusso di esecuzione a saltare in una collocazione del dispositivo 178 di immagazzinamento di codice corrispondente all'indirizzo di salto 408 se il risultato del decremento non è zero.

Altrimenti l'esecuzione continua nella collocazione successiva dell'algoritmo. HL e UD corrispondono rispettivamente ad un byte ed un nibble del registro 134 avente indirizzo di registro 412. Il campo X4 specifica un nibble (4

bit) che deve essere decrementato. Il campo X8 specifica che un byte (8 bit) deve essere decrementato. Per varie forme di realizzazione, la istruzione 244_{10} e 244_{11} viene impiegata per operazioni di conteggio. HL seleziona, a seconda del suo valore, il byte più alto o più basso. UD seleziona, a seconda del suo valore, il nibble più alto o più basso.

Le istruzioni 244_{12} e 244_{13} sono rispettivamente assenza di operazione (NOP) ed istruzioni di HALT. Per una forma di realizzazione, le istruzioni 244_{12} e 244_{13} hanno ciascuna un bit 428 che ha un valore di 0 (zero) per l'istruzione 244_{12} ed un valore di 1 (uno) per l'istruzione 244_{13} . Per un'altra forma di realizzazione, il bit 428 è un bit di numerazione zero dei 32 bit. L'istruzione 244_{12} fa in modo che il contatore 194 di programma sia incrementato di uno, mentre l'istruzione 244_{13} fa in modo che il flusso di esecuzione si arresti.

La fig. 6 è uno schema a blocchi del controller 142 di bus secondo un'altra forma di realizzazione della presente invenzione. Per una forma di realizzazione, il controller di bus è un circuito a logica combinatoria. Il controller di bus 142 può elaborare dati immagazzinati nei

registri 134 del banco di registri 130 e può fornire dati che devono essere caricati nei registri 134.

Per varie forme di realizzazione, il controller 142 di bus include uno spostatore 600. Per una forma di realizzazione, lo spostatore 600 riceve dati 602 da un registro 134, ad esempio, attraverso il bus di uscita 136₁, e pone in uscita dati 604. Lo spostatore 600 può spostare dati di 602 contenuti in un byte o nibble del campo dei dati su un altro byte o nibble del campo dei dati, ad esempio, per moltiplicare o dividere i dati. Per esempio, con riferimento alla fig. 3, i dati contenuti nel byte L possono essere spostati al byte H e viceversa. Lo spostatore 600 può anche passare dati 602 senza effettuare alcuna operazione sui dati 602, ad esempio, senza spostare alcun dato.

Una unità logica aritmetica (ALU) 606 riceve dati 604 dallo spostatore 600. La unità logica aritmetica 606 può anche ricevere dati 608 dal decodificatore 166 di istruzione. Per una forma di realizzazione, i dati 608 includono il valore 414 o il valore 418 delle rispettive istruzioni 244 della fig. 1. Per un'altra forma di realizzazione,



l'unità logica aritmetica 606 decrementa dati, effettua operazioni logiche di AND e/o OR su dati, maschera dati, ecc. L'unità logica aritmetica 606 può effettuare operazioni o sui dati 604 o sui dati 608 quali mascheramento e/o decremento, oppure effettuare operazioni sui dati 604 e 608 assieme, quale il porre in AND o porre in OR dati 604 e 608, mascherando e/o decrementando il risultato dell'operazioni di AND oppure di OR, ecc.

L'unità logica aritmetica 606 invia dati 610₁ fino a 610_p ad un moltiplatore 612. Per una forma di realizzazione, i dati 610₁ fino a 610_p sono il risultato di diverse operazioni di elaborazione effettuate dall'unità logica aritmetica 606. Il moltiplatore 612 seleziona uno dei dati 610₁ fino a 610_p, rappresentati dai dati 614, ed invia i dati 614 al moltiplatore 616 e/o moltiplatore 618.

Un moltiplatore 620 riceve dati 622 e 624 dal decodificatore 166 di istruzione. Per una forma di realizzazione, i dati 662 sono i dati contenuti nei bit 8-15 di valore 414 la rispettiva istruzione di fig. 4, ed i dati 622 sono i dati contenuti nei bit 0-7 del valore 414. In risposta ad una istruzione ricevuta dal decodificatore 166 di istruzione, il moltiplatore 620 seleziona o i dati 622 o i dati

624 rappresentati dai dati 626, ed invia i dati 626 al moltiplicatore 618. Per una forma di realizzazione, il moltiplicatore 618 riceve anche dati 604 dallo spostatore 600. Per un'altra forma di realizzazione, il moltiplicatore 616 riceve dati 604 dallo spostatore 600 e dati 608 dal decodificatore 166 di istruzione. In risposta ad una istruzione ricevuta dal decodificatore 166 di istruzione, il moltiplicatore 616 seleziona uno dei dati 604, 608, e, 614, rappresentati dai dati 628, ed invia i dati 628 ad un sostitutore 630. Il moltiplicatore 618 seleziona uno dei dati 604, 614, e 626 rappresentati dai dati 632, ed invia dati 632 ad un sostitutore 630 in risposta ad un istruzione ricevuta dal decodificatore 166 di istruzione. Per un'altra forma di realizzazione, i dati 628 o i dati 632 sono inviati al sostitutore 630.

Un moltiplicatore 634 riceve dati 602 e dati 636 da diversi registri 134, ad esempio, rispettivamente attraverso i bus di uscita 136₁ e 136₂. Il moltiplicatore 634 seleziona uno dei dati 602 e 636, rappresentati dai dati 638, ed invia i dati 638 al sostitutore 630 in risposta ad una istruzione ricevuta dal decodificatore 166 di istruzione. Il sostitutore 630 pone in uscita dati

640 e/o effettua operazioni sui dati 640 in risposta ad istruzioni ricevute dal decodificatore 166 di istruzione. Per una forma di realizzazione, il sostitutore fa passare i dati 628, 632, o 638, ad esempio, senza effettuare alcuna operazione sui rispettivi dati. Per un'altra forma di realizzazione il sostitutore 630 crea dati 640, ad esempio impiegando nibble dai 628 e 638, dai dati 628 e 632, dai dati 632 e 638, o dai dati 628, 632, e 638. Il sostitutore 640 invia dati 640 ad uno dei registri 134 attraverso il bus di ingresso 134.

Per una forma di realizzazione, la interfaccia 214 di controller asincrono include un controller di sospensione 700 illustrato in fig. 7. Il controller 700 di sospensione agisce per sincronizzare il comando 121 di sospensione, che è asincrono rispetto al generatore di clock 156. Il comando 121 di sospensione è asincrono per il fatto che questo può essere ricevuto nel controller microprogrammabile 110 in un qualsiasi momento, cioè, durante una qualsiasi fase del generatore di clock 156. Tuttavia, per varie forme di realizzazione, è desiderabile che il comando 121 di sospensione venga eseguito durante una fase particolare del generatore di clock 156.



Il comando 121 di sospensione ricevuto da un latch 702, quale un D-latch, del controller 700 di sospensione. Il comando 121 di sospensione è trattenuto nel latch 702 fin quando il comando di marcia 113 è attivo. Per una forma di realizzazione, il comando 121 di sospensione è trattenuto nel latch 702 poiché successivi comandi di utilizzatore possono fare in modo che il comando 121 di sospensione venga cancellato se il comando 121 di sospensione non è trattenuto nel latch 702. Quando un segnale 706, quale un segnale di fase 2 del generatore di clock 156 è ricevuto da un latch 704 quale un D-latch, il comando 121 di sospensione viene inviato alla porta AND 708.

Quando il segnale 710 è un alto logico sulla porta AND 708, il comando 121 di sospensione viene inviato ad una porta AND 712. Per una forma di realizzazione, il segnale 710 è inviato quando il flag di sospensione di una istruzione 244 che viene indirizzata è attivo, cioè, il bit 31 della istruzione indirizzata è posizionato a uno (1). Ciò significa che il comando 121 di sospensione viene trattenuto fin quando viene indirizzata una istruzione 244 che può essere sospesa. Quando un segnale 714, quale un segnale di fase-3 del

generatore di clock 156, è a livello logico alto sulla porta AND 712, il comando 121 di sospensione viene inviato al latch 716, quale un D-latch. Il comando 121 di sospensione viene quindi inviato dal latch 716 al decodificatore 166 di istruzione per la interpretazione ed esecuzione. Per una forma di realizzazione, il latch 716 abilita il comando 121 di sospensione ad esseri rimosso (o disabilitato) azzerando il latch 716. Per altre forme di realizzazione, i latch 702, 704 e 716 sono azzerati sostanzialmente simultaneamente in risposta ad un segnale di ripristino.

Per una forma di realizzazione, il controller 110 microprogrammabile opera come un contatore nel modo seguente: durante la fase 1 del generatore 156 di clock, il contatore 194 di programma invia un indirizzo al dispositivo 178 di immagazzinamento di codice, dove l'indirizzo corrisponde ad una riga di un algoritmo del dispositivo 178 di immagazzinamento di codice che contiene una prima istruzione avente un conteggio iniziale, quale un valore 414 della istruzione 244, di fig. 4. Successivamente, il contatore 194 di programma viene incrementato di uno. Durante la fase 2 del generatore di clock 156, il dispositivo 178 di

immagazzinamento di codice invia la prima istruzione al registro 172 di istruzione, dove la prima istruzione è trattenuta fin quando la fase 3 del generatore di clock 156. Durante la fase 3, la prima istruzione è inviata al decodificatore 166 di istruzione. Il decodificatore 166 di istruzione interpreta la prima istruzione ed invia un primo segnale al registro 160 di selezione, dove il primo segnale corrisponde ad un indirizzo di un primo registro 134, in cui verrà immagazzinato il conteggio iniziale. A seguito della ricezione del primo segnale, il registro di selezione seleziona il primo registro 134. Il decodificatore 166 di istruzione invia anche un secondo segnale al controller di bus 142, dove il secondo segnale corrisponde al conteggio iniziale. Il controller di bus 142 invia il conteggio iniziale al registro di trasferimento 146. Durante la fase 4 del generatore 156 di clock, il registro 146 di trasferimento invia il conteggio iniziale al primo registro 134. Ciò completa un ciclo di operazioni (ad esempio comprendente le quattro fasi) del controller micro-programmabile 110.

Durante la fase 1 del prossimo ciclo operativo, il contatore di programma 194 invia un

indirizzo corrispondente ad una riga dell'algoritmo del dispositivo 178 di immagazzinamento di codice che contiene una seconda istruzione per decrementare il conteggio iniziale di uno, quale l'istruzione 244_{10} della fig. 4. Successivamente, il contatore 194 di programma viene incrementato di uno. Durante la fase 2, il dispositivo 178 di immagazzinamento di codice invia la seconda istruzione al registro di istruzione 172, dove la seconda istruzione viene trattenuta fino alla fase 3. Durante la fase 3, la seconda istruzione viene inviata al decodificatore 166 di istruzione. Il decodificatore 166 di istruzione interpreta la seconda istruzione ed invia un terzo segnale al registro 160 di selezione, dove il terzo segnale corrisponde all'indirizzo del primo registro 134 in cui è immagazzinato il conteggio iniziale. A seguito della ricezione del terzo segnale, il registro di selezione 160 seleziona il primo registro 134 ed il conteggio iniziale viene inviato al controller di bus 142. Il decodificatore 166 di istruzione invia anche un quarto segnale al controller di bus 142 che fa in modo che il controller di bus 142 decrementi il conteggio iniziale di uno per formare un secondo conteggio.

Il controller 142 di bus invia il secondo conteggio al registro 146 di trasferimento e al verificatore di espressione 204.

Il verificatore 204 di espressione, per una forma di realizzazione, confronta il secondo conteggio a zero. Quando il secondo conteggio è zero, il verificatore 204 di espressione invia un primo segnale di coincidenza, indicativo di una coincidenza, al decodificatore 166 di espressione. In risposta alla ricezione del primo segnale di coincidenza, il decodificatore 166 di espressione invia un quinto segnale, corrispondente a un indirizzo di salto incluso nella seconda istruzione allo over-rider 188. Per varie forme di realizzazione, l'indirizzo di salto corrisponde ad una riga dell'algoritmo del dispositivo 178 di memorizzazione di codice che termina il conteggio. Il registro 146 di trasferimento invia quindi il secondo conteggio nel primo registro 134 o un secondo registro 134 durante la fase 4. Quando il secondo conteggio non è zero, il registro 146 di trasferimento invia il secondo conteggio al primo registro 134 o il secondo registro 134 durante la fase 4, e il processo di cui sopra si ripete fin quando il conteggio è zero.



Per alcune forme di realizzazione, viene inviato un segnale di attuatore, ad esempio da un terzo registro 134, al nucleo analogico/memoria 116 durante ciascun ciclo operativo, ad esempio durante la fase 3 prima che il secondo conteggio sia inviato al primo o secondo registro. Per una forma di realizzazione, il conteggio iniziale corrisponde ad un certo numero di impulsi di tensione da applicare alle celle di memoria, e l'attuatore fa in modo che uno o più circuiti di tensione del nucleo analogico/memoria 116 invii l'impulso di tensione alle celle di memoria. In questo modo il controller 110 microprogrammabile agisce come contatore di impulsi.

Per un'altra forma di realizzazione, il metodo di conteggio di cui sopra viene impiegato come un contatore di indirizzo per selezionare e mantenere traccia di indirizzi del nucleo analogico/memoria 116, ad esempio indirizzi di singole celle di memoria, righe di una schiera di celle di memoria, ecc. In questa forma di realizzazione, un segnale di attuatore contenente un indirizzo di nucleo analogico/memoria 116 viene inviato, ad esempio, da un terzo registro 134, durante ciascun ciclo operativo ad un nucleo analogico/memoria 116, ad

esempio durante la fase 3 prima che il secondo conteggio venga inviato al primo o secondo registro. Durante ciascun ciclo operativo, l'indirizzo viene incrementato. Per una forma di realizzazione, l'indirizzo viene incrementato inviando indirizzo da uno dei registri 134 al controller 142 di bus. Il controller 142 di bus incrementa l'indirizzo ed invia l'indirizzo incrementato allo stesso o un altro dei registri 134.

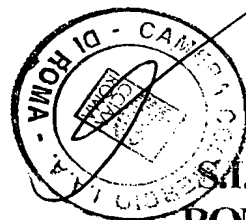
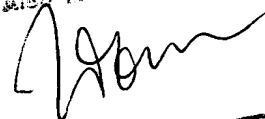
E' chiaro che il conteggio iniziale corrisponde ad un certo numero di cicli eseguiti dal controller microprogrammabile 110. Inoltre, ciascun ciclo viene eseguito durante un tempo di ciclo. Conseguentemente, il conteggio iniziale può corrispondere ad un tempo, ad esempio, il tempo che questo impiega per eseguire il numero di cicli operativi corrispondenti al conteggio iniziale. Per una forma di realizzazione, all'inizio di un conteggio, viene inviato in segnale di attuatore, ad esempio da un terzo registro 134, ad un nucleo analogico/memoria 116 per attivare un impulso di tensione nel nucleo di memoria. Al termine del conteggio, ad esempio quando il conteggio iniziale è contato a scendere fino a zero, viene inviato un

altro segnale di attuatore, ad esempio, da un quarto registro 134, ad un nucleo analogico/memoria 116 per disattivare l'impulso di tensione. In questo modo, L'impulso di tensione viene applicato per il tempo che questo prende per eseguire il numero di cicli operativi corrispondenti al conteggio iniziale e quindi il controller microprogrammabile 110 può essere impiegato come contatore di durata di impulso.

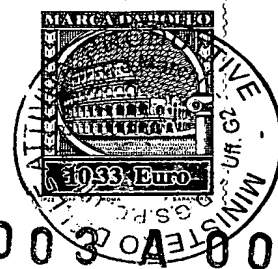
CONCLUSIONE

Sebbene sino qui illustrate e descritte specifiche forme di realizzazione, si comprenderà da parte di coloro con ordinaria esperienza nel ramo che qualsiasi disposizione che sia calcolata per ottenere gli stessi scopi può essere sostituita alle specifiche forme di realizzazione mostrate. Numerosi adattamenti dell'invenzione saranno chiari a coloro con ordinaria esperienza nella tecnica. Conseguentemente, questa domanda è intesa proteggere qualsiasi adattamento o variazioni dell'invenzione. E' manifestamente inteso che questa invenzione sia limitata soltanto dalle seguenti rivendicazioni e dai loro equivalenti.

Gilberto Taroni
(Incr. Albo n. 13.741)



S.I.B.
ROMA



RM 2003A000354

RIVENDICAZIONI

1. Unità di controllo per dispositivo di memoria comprendente:

un banco di registri aggiornabile disposto per inviare un primo segnale ad un nucleo analogico/memoria del dispositivo di memoria per controllare il funzionamento del nucleo analogico/memoria, il nucleo analogico/memoria comprendendo una schiera di celle di memoria flash e supportante circuiteria di accesso analogica;

un controller di bus accoppiato al banco di registri, il controller di bus disposto per ricevere un secondo segnale dal banco di registro e per inviare un terzo segnale al banco di registri per aggiornare il banco di registri;

un registro di selezione accoppiato al banco di registri; e

un primo processore accoppiato al controller di bus e al registro di selezione.

2. Unità di controllo di dispositivo di memoria della rivendicazione 1, ulteriormente comprendente un verificatore di espressione accoppiato tra il primo elaboratore e il controller di bus.

3. Unità di controllo di dispositivo di

memoria della rivendicazione 1, ulteriormente comprendente un registro di trasferimento accoppiato al controller di bus per ricevere il terzo segnale da questo durante la prima fase di clock, ed accoppiato al banco di registri per trasmettere il terzo segnale a questi durante una seconda fase di clock.

4. Unità di controllo di dispositivo di memoria della rivendicazione 1, ulteriormente comprendente un clock per inviare segnale di clock ad almeno uno del primo processore, il banco di registri, ed il registro di selezione.

5. Unità di controllo di dispositivo di memoria della rivendicazione 4, in cui il clock è costituito da quattro fasi di clock.

6. Unità di controllo di dispositivo di memoria della rivendicazione 1, ulteriormente comprendente una interfaccia di controller accoppiata al primo elaboratore ed accoppiabile ad almeno una di una interfaccia di comando di utilizzatore del dispositivo di memoria e un secondo elaboratore collocato all'esterno del dispositivo di memoria.

7. Unità di controllo per dispositivo di memoria della rivendicazione 6, in cui la

interfaccia della unità di controllo include un controller di sospensione per fare in modo che un comando di sospensione ricevuto da questo venga inviato al primo elaboratore ad un tempo prestabilito di un ciclo operativo della unità di controllo di dispositivo di memoria.

8. Unità di controllo di dispositivo di memoria della rivendicazione 1, in cui il primo segnale comprende un indirizzo del nucleo analogico/memoria.

9. Unità di controllo per dispositivo di memoria della rivendicazione 1, in cui il controller di bus comprende una unità logica aritmetica disposta per effettuare almeno una operazione aritmetica su almeno uno dei secondi segnali e dati ricevuti dal primo elaboratore.

10. Unità di controllo del dispositivo di memoria della rivendicazione 1, in cui il primo elaboratore comprende un dispositivo di memorizzazione che contiene uno o più algoritmi che comprendono istruzioni per controllare il funzionamento della unità di controllo di dispositivo di memoria.

11. Unità di controllo per dispositivo di memoria comprendente:

un banco di registri aggiornabili disposto per inviare un primo segnale ad un nucleo analogico/memoria del dispositivo di memoria per controllare il funzionamento del nucleo analogico/memoria;

una unità di controllo di bus accoppiata al banco di registri, la unità di controllo di bus essendo disposta per ricevere un secondo segnale dal banco di registri e per inviare un terzo segnale al banco di registri per aggiornare il banco di registri;

un registro di selezione accoppiato al banco di registri;

un primo elaboratore accoppiato al controller di bus e al registro di selezione;

un verificatore di espressione accoppiato al primo elaboratore e al controller di bus;

un registro di trasferimento accoppiato al controller di bus per ricevere il terzo segnale da questo durante una prima fase di clock, ed accoppiato al banco di registri per trasmettere a questo il terzo segnale durante una seconda fase di clock; e

una interfaccia di unità di controllo accoppiata al primo elaboratore ed accoppiabile ad



almeno uno della interfaccia di comando di utilizzatore del dispositivo di memoria ed un secondo elaboratore collocato all'esterno del dispositivo di memoria.

12. Unità di controllo per dispositivo di memoria della rivendicazione 11, in cui la unità di controllo di bus comprende una unità logica aritmetica disposta per effettuare almeno una operazione aritmetica su almeno uno dei secondi segnali e dati ricevuti dal primo elaboratore.

13. Unità di controllo per dispositivo di memoria della rivendicazione 11, in cui la interfaccia di unità di controllo comprende una unità di controllo di sospensione per fare in modo che un comando di sospensione ricevuto su questa venga inviato al primo elaboratore ad un tempo prestabilito di un ciclo operativo della prima unità di controllo.

14. Dispositivo di memoria comprendente

un nucleo analogico/memoria comprendente una schiera di celle di memoria flash e che supporta una circuiteria analogica di accesso;

una unità di controllo di dispositivo di memoria comprendente:

un banco di registri aggiornabili disposto per

inviare un primo segnale al nucleo analogico/memoria per controllare il funzionamento del nucleo analogico/memoria;

una unità di controllo di bus per accoppiata al banco di registri, la unità di controllo di bus essendo disposta per ricevere un secondo segnale dal banco di registri ed inviare un terzo segnale al banco di registri per aggiornare il banco di registri;

un registro di selezione accoppiato al banco di registri; e

un primo elaboratore accoppiato al controller di bus e al registro di selezione; e

una interfaccia di comando di utilizzatore accoppiata alla prima unità di controllo e accoppiabile ad un secondo elaboratore collocato esternamente al dispositivo di memoria.

15. Dispositivo di memoria della rivendicazione 14, in cui l'unità di controllo di dispositivo di memoria inoltre comprende un verificatore di espressione accoppiato tra il primo elaboratore e l'unità di controllo di bus.

16. Dispositivo di memoria della rivendicazione 14, in cui l'unità di controllo di bus include una unità logica aritmetica disposta

per effettuare almeno una operazione aritmetica su almeno uno dei secondi segnali e dati ricevuti dal primo elaboratore.

17. Dispositivo di memoria della rivendicazione 14, in cui l'unità di controllo di dispositivo di memoria inoltre comprende una unità di controllo di sospensione per fare in modo che un comando di sospensione ricevuto su questa venga inviato al primo elaboratore ad un tempo preselezionato di un ciclo operativo della unità di controllo del dispositivo di memoria.

18. Dispositivo di memoria comprendente un nucleo analogico/memoria comprendente una schiera di celle di memoria flash e che supporta una circuiteria analogica di accesso;

una unità di controllo di dispositivo di memoria comprendente:

un banco di registri aggiornabili disposti per inviare un primo segnale al nucleo analogico/memoria per controllare il funzionamento del nucleo analogico/memoria;

una unità di controllo di bus accoppiata al banco di registri, l'unità di controllo di bus essendo disposta per ricevere un secondo segnale dal banco di registri e per inviare un terzo

segnale al banco di registri per aggiornare il banco di registri;

un registro di selezione accoppiato al banco di registri; e

un primo elaboratore accoppiato alla unità di controllo di bus e al registro di selezione;

un verificatore di espressione accoppiato tra il primo elaboratore e l'unità di controllo di bus e

un registro di trasferimento accoppiato all'unità di controllo di bus per ricevere il terzo segnale da questo durante una prima fase di clock, ed accoppiato al banco di registri per trasmettere a questo il terzo segnale durante una seconda fase di clock; e

una interfaccia di comando di utilizzatore accoppiata alla unità di controllo di dispositivo di memoria e accoppiabile ad un secondo elaboratore collocato all'esterno del dispositivo di memoria.

19. Sistema di memoria comprendente:

un primo elaboratore; e

un dispositivo di memoria comprendente:

un nucleo analogico/memoria comprendente una schiera di celle di memoria flash e che supporta una circuiteria analogica di accesso;

una unità di controllo di dispositivo di memoria accoppiata al primo elaboratore, la unità a controllo di dispositivo di memoria comprendendo:

un banco di registri aggiornabili disposto per inviare un primo segnale al nucleo analogico/memoria per controllare il funzionamento del nucleo analogico/memoria;

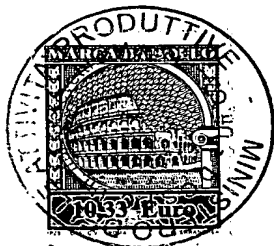
una unità di controllo di bus accoppiata al banco di registri, la unità di controllo di bus essendo disposta per ricevere un secondo segnale dal banco di registri ed inviare un terzo segnale al banco di registri per aggiornare il banco di registri;

un registro di selezione accoppiato al banco di registri; e

un secondo elaboratore accoppiato alla unità di controllo di bus e al registro di selezione; e

una interfaccia di comando di utilizzatore accoppiata alla unità di controllo di dispositivo di memoria e al primo elaboratore.

20. Sistema di memoria della rivendicazione 19, in cui l'unità di controllo di dispositivo di memoria inoltre comprende un verificatore di espressione accoppiato tra il secondo elaboratore e la unità di controllo di bus.



21. Sistema di memoria della rivendicazione 19, in cui l'unità di controllo di bus include una unità logica aritmetica disposta per effettuare almeno una operazione aritmetica su almeno uno dei secondi segnali e dati ricevuti dal secondo elaboratore.

22. Sistema di memoria della rivendicazione 19, in cui l'unità di controllo di dispositivo di memoria inoltre comprende una unità di controllo di sospensione per fare in modo che un comando di sospensione ricevuto dal primo elaboratore venga inviato al secondo elaboratore ad un tempo prestabilito di un ciclo operativo della unità di controllo di dispositivo di memoria.

23. Sistema di memoria della rivendicazione 19, in cui l'unità di controllo per dispositivo di memoria inoltre comprende un registro di trasferimento accoppiato all'unità di controllo di bus per ricevere il terzo segnale da questo durante una prima fase di clock, ed accoppiato al banco di registri per trasmettere a questo il terzo segnale durante una seconda fase di clock.

24. Metodo per fare funzionare una unità di controllo per dispositivo di memoria, il metodo comprendendo:

riceve primi dati su una unità di controllo di bus del dispositivo dell'unità di controllo di dispositivo di memoria da un primo registro di un banco di registri dell'unità di controllo di dispositivo di memoria;

inviare secondi dati dall'unità di controllo di bus al primo o al secondo registro del banco di registri per aggiornare il banco di registri; e

inviare un segnale di controllo da un terzo registro del banco di registri verso un nucleo analogico/memoria del dispositivo di memoria per controllare il funzionamento del nucleo analogico/memoria, il nucleo analogico/memoria comprendendo una schiera di celle di memoria flash e supportando una circuiteria analogica di accesso.

25. Metodo della rivendicazione 24, ulteriormente comprendente l'elaborare i primi dati sull'unità di controllo di bus per produrre i secondi dati.

26. Metodo della rivendicazione 25 in cui l'elaborazione dei primi dati sull'unità di controllo di bus avviene in risposta al ricevere un segnale da un elaboratore dell'unità di controllo di dispositivo di memoria.

27. Metodo della rivendicazione 25, in cui

l'elaborazione dei primi dati sull'unità di controllo di bus include l'elaborare i primi dati in combinazione con terzi dati ricevuti sull'unità di controllo di bus da un elaboratore della unità di controllo di dispositivi di memoria.

28. Metodo della rivendicazione 24 in cui l'invio di secondi dati dall'unità di controllo di bus verso il primo o il secondo registro comprende:

inviare i secondi dati ad un registro di trasferimento durante una prima fase di clock;

trattenere i secondi dati sul registro di trasferimento fino ad una seconda fase di clock; e

inviare i secondi dati verso il primo o il secondo registro durante la seconda fase di clock.

30. Metodo della rivendicazione 24, ulteriormente comprendente il ricevere un segnale di ingresso su un terzo registro del banco di registri dal nucleo analogico/memoria, il terzo segnale essendo indicativo del funzionamento del nucleo analogico/memoria.

31. Metodo della rivendicazione 24, ulteriormente comprendente il ricevere un segnale di controllo su un registro di selezione della unità di controllo di dispositivo di memoria da un elaboratore dell'unità di controllo del dispositivo

di memoria prima di ricevere i primi dati sulla unità di controllo di bus per selezionare il primo registro.

32. Metodo per far funzionare una unità di controllo per dispositivo di memoria, il metodo comprendendo:

decrementare un numero su una unità di controllo di bus dell'unità di controllo di dispositivo di memoria quando il numero non è un valore prestabilito;

andare al prossimo indirizzo di un algoritmo dell'unità di controllo di dispositivo di memoria quando il numero non è il valore prestabilito,

saltare oltre o più indirizzi dell'algoritmo quando il numero è al valore prestabilito; e

inviare il numero ad un banco di registri dell'unità di controllo di dispositivo di memoria.

33. Metodo della rivendicazione 32, ulteriormente comprendente il ricevere il numero sull'unità di controllo di bus dal banco di registri prima di decrementare il primo numero.

34. Metodo della rivendicazione 32, ulteriormente comprendente, prima di decrementare il numero:

ricevere il numero sull'unità di controllo di



bus da un elaboratore dell'unità di controllo di dispositivo di memoria; e

inviare il numero al banco di registri.

35. Metodo della rivendicazione 32, ulteriormente comprendente il verificare il numero su un verificatore di espressione dell'unità di controllo di dispositivo di memoria dopo decrementare il numero per determinare se il numero è ad un valore prestabilito.

36. Metodo della rivendicazione 32, ulteriormente comprendente il ricevere un segnale di controllo sull'unità di controllo di bus da un elaboratore dell'unità di controllo per dispositivo di memoria che fa in modo che il controller di bus decrementi il numero.

37. Metodo della rivendicazione 32, ulteriormente comprendente l'inviare un segnale di controllo dal banco di registri verso nucleo analogico/memoria del dispositivo di memoria prima di inviare il numero al banco di registri.

38. Metodo per far funzionare una unità di controllo per un dispositivo di memoria, il metodo comprendendo:

ricevere un primo comando su un primo latch dell'unità di controllo da un primo elaboratore

esterno al dispositivo di memoria;

inviare il primo comando ad un secondo latch dell'unità di controllo a seguito della ricezione di un secondo comando sul primo latch da una interfaccia di comando di utilizzatore del dispositivo di memoria;

inviare il primo comando ad un primo gate dell'unità di controllo durante una prima fase di clock dell'unità di controllo;

inviare il primo comando ad un secondo gate dell'unità di controllo in seguito alla ricezione di un segnale di controllo sul primo gate da un secondo elaboratore dell'unità di controllo, in cui il secondo elaboratore genera il segnale di controllo in risposta la secondo elaboratore che esegue una istruzione di un algoritmo del secondo elaboratore;

inviare il primo comando ad un terzo latch dell'unità di controllo durante una seconda fase di clock dell'unità di controllo;

inviare il primo comando al secondo elaboratore; e

ripristinare il terzo latch.

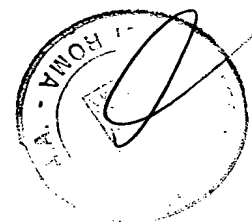
39. Metodo della rivendicazione 38, ulteriormente comprendente il sospendere

l'esecuzione dell'algoritmo del secondo elaboratore a seguito della ricezione del primo comando sul secondo elaboratore.

40. Metodo della rivendicazione 38, ulteriormente comprendente il ripristinare il primo ed il secondo latch quando si ripristina il terzo latch.

p.p. Micron Technology, Inc.

Univ. di Roma
(Def. Albo n. 53 RM)



RM 2003 A 000354

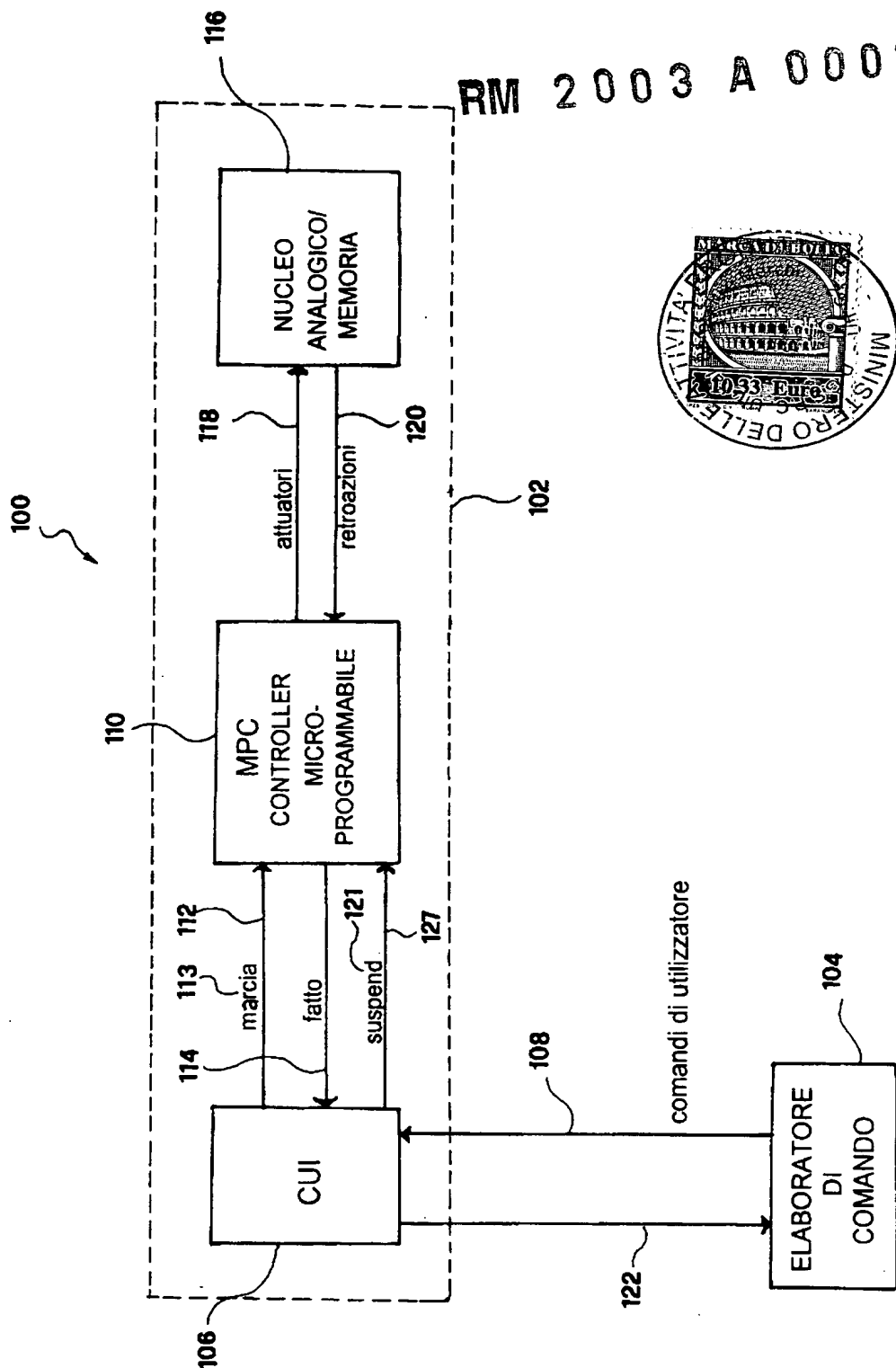
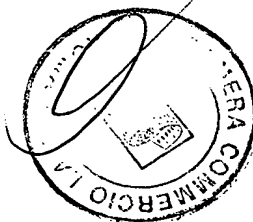
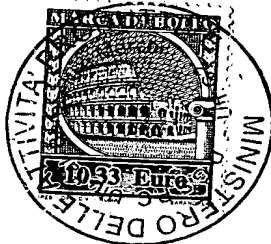


FIG.1



RM 2003 A 000354

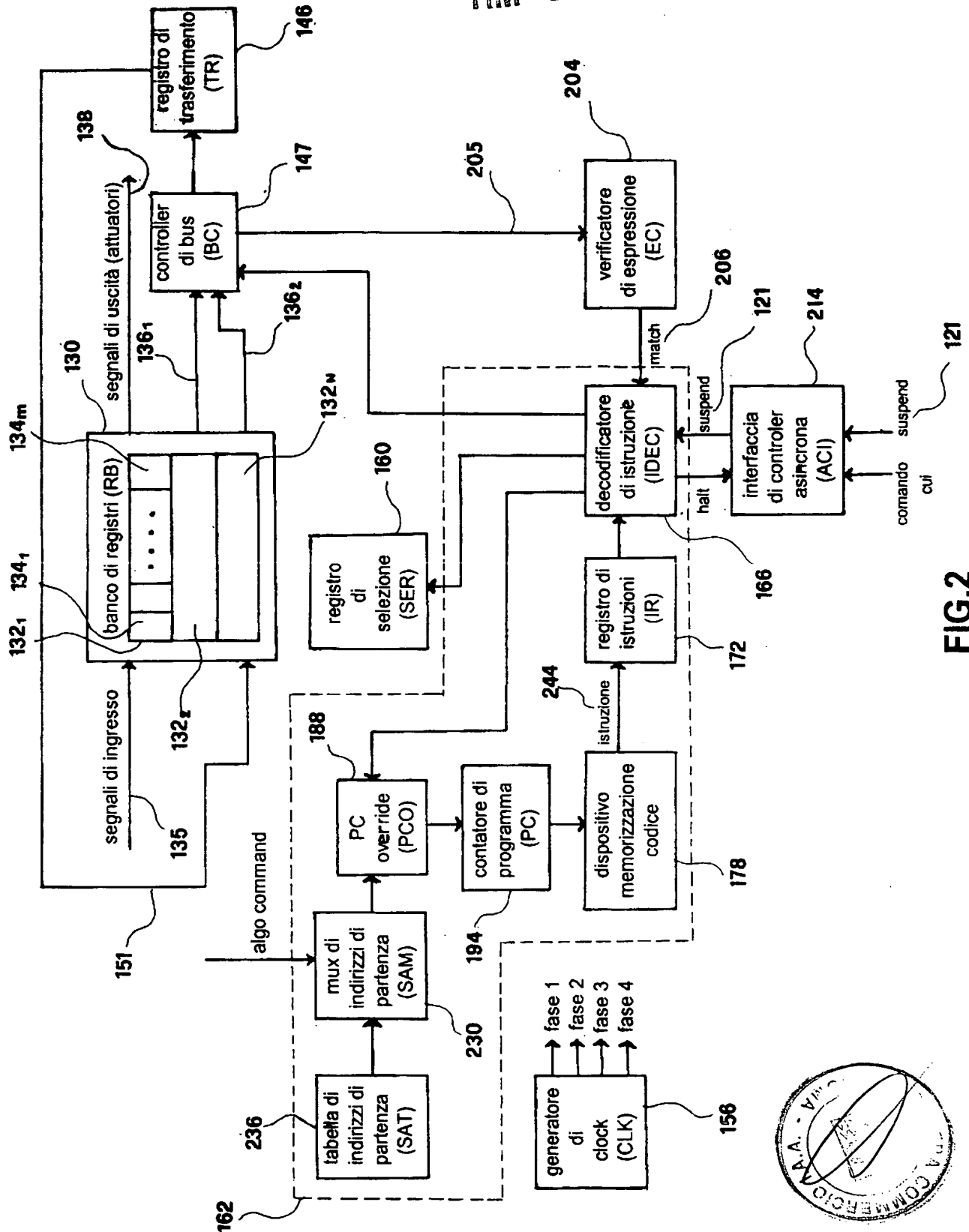


FIG.2

FIG. 3

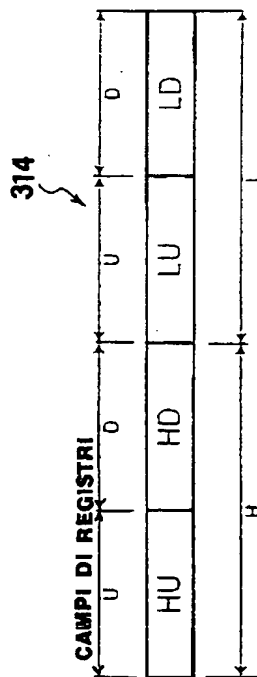


FIG. 4

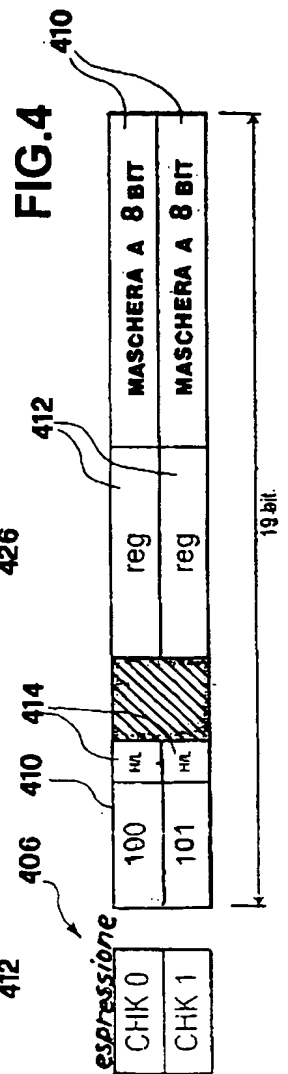
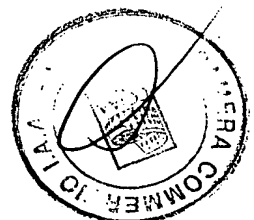
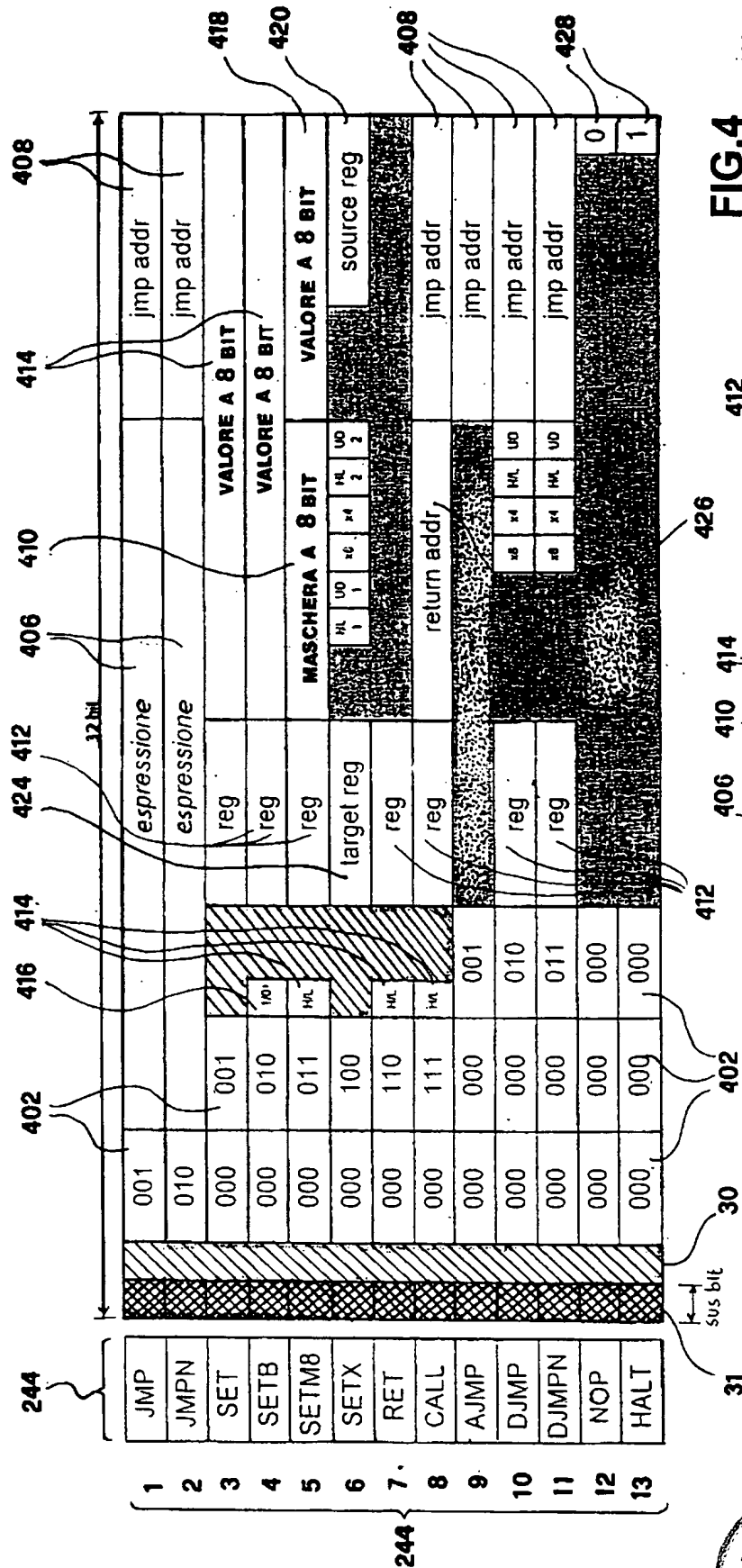


FIG. 5



RM 2003 A 000354

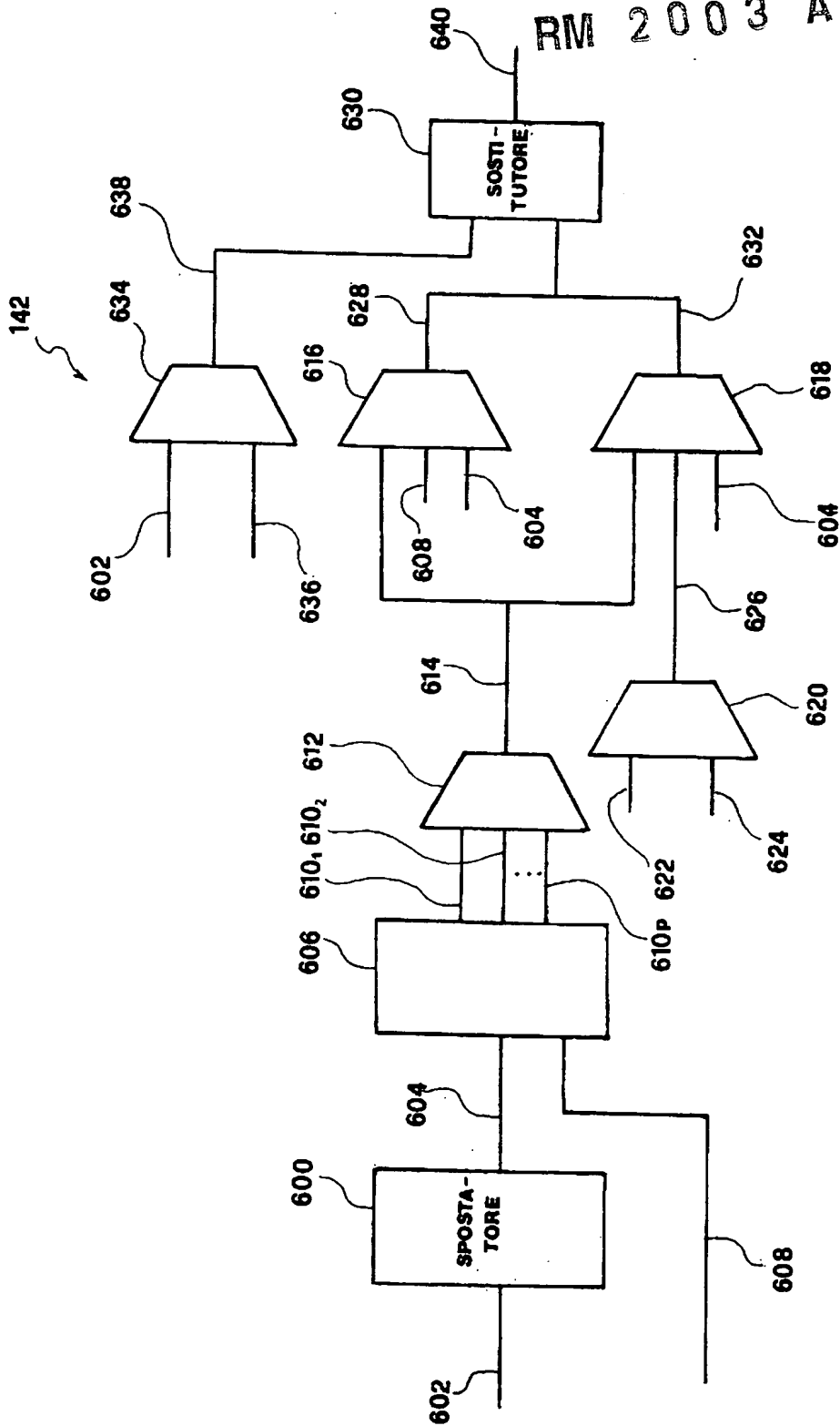


FIG.6



PM 2003 A 000354



700

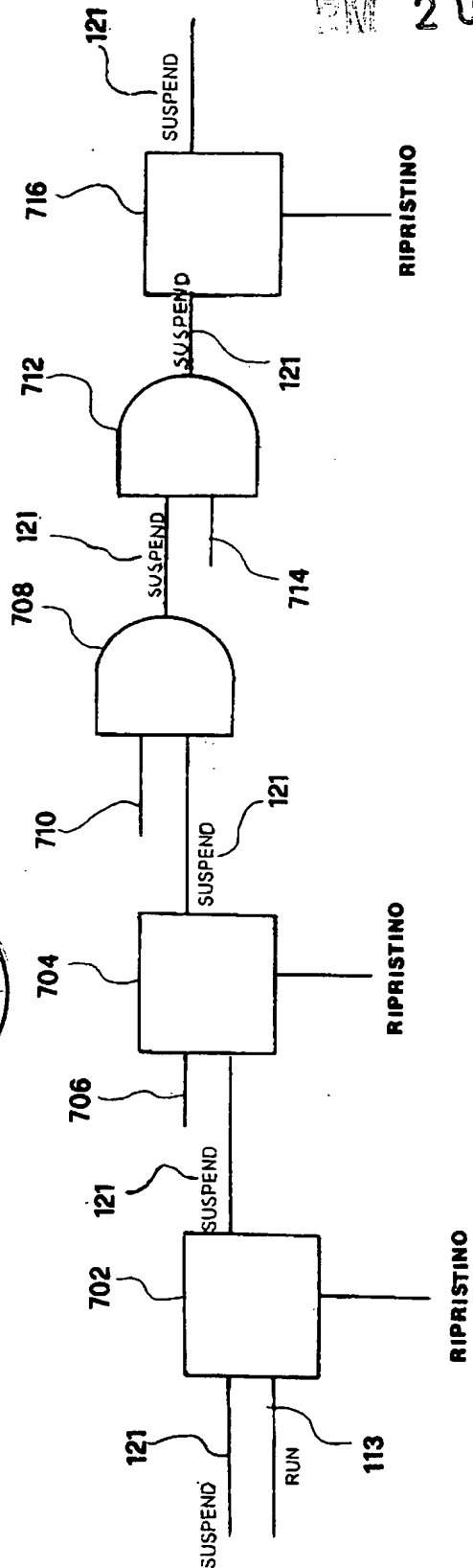


FIG.7



Handwritten signature